



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10247734 A**(43) Date of publication of application: **14.09.98**

(51) Int. Cl.

H01L 29/786**H01L 21/336****H01L 21/28****H01L 29/78**(21) Application number: **09050710**(71) Applicant: **SONY CORP**(22) Date of filing: **06.03.97**(72) Inventor: **KOMATSU YUJI**

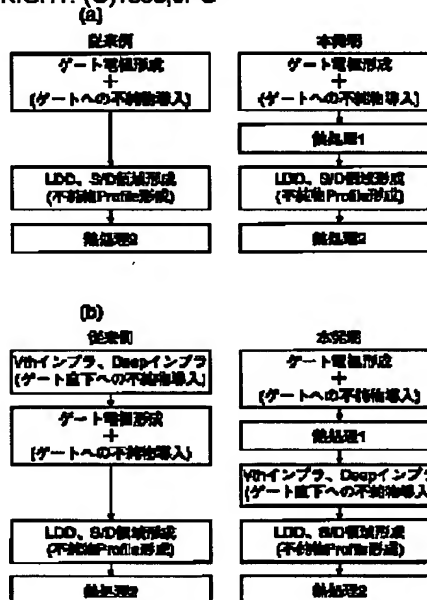
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1998,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To enable semiconductor devices which are nearly uniform in threshold voltage to be formed, by a method wherein finished gate electrodes are restrained from varying in work function due to a thermal process.

SOLUTION: A gate electrode is formed on a silicon substrate or an SOI (silicon-on-insulator), and impurities are introduced into the gate electrode. Then, the gate electrode is subjected for activation to a thermal treatment carried out at a higher temperature or at a higher temperature and for a longer time than the activation temperature of LDD regions or source/drain regions (high-concentration diffusion layer). Thereafter, impurities are introduced into the LDD regions or the source/drain regions to form an impurity profile. A thermal treatment 2 is carried out for activating the LDD regions or the source/drain regions (high-concentration diffusion layer). Therefore, a gate electrode is restrained from varying in work function due to a thermal process, and a device nearly uniform in threshold voltage V_{th} can be formed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-247734

(43) 公開日 平成10年(1998) 9月14日

(51) Int.Cl.⁸
H 0 1 L 29/786
21/336
21/28
29/78

識別記号

3 0 1

F I

H 0 1 L 29/78
21/28
29/78

6 1 6 A
3 0 1 A
3 0 1 G
6 1 8 F

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平9-50710
(22) 出願日 平成9年(1997) 3月5日

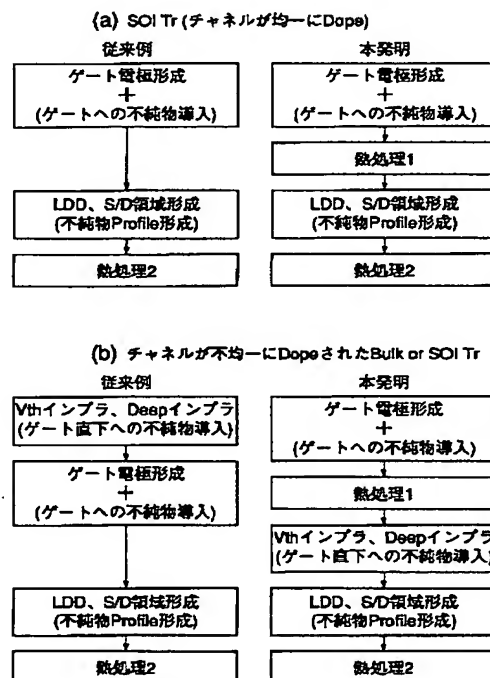
(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川 6 丁目 7 番 35 号
(72) 発明者 小松 裕司
東京都品川区北品川 6 丁目 7 番 35 号ソニー
株式会社内

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 出来上がりのゲート電極の仕事関数の熱プロセスによる変動を抑えて、しきい値電圧 V_{th} のバラツキの小さい素子を形成できる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板又は SOI 基板上にゲート電極を形成し、このゲート電極に不純物を導入する。次に、LDD やソース/ドレイン (高濃度拡散層) の活性化温度よりも高温もしくは高温且つ長時間にてゲート電極の活性化のための熱処理 1 を施す。その後、LDD 領域、ソース/ドレイン領域 (高濃度拡散層) に不純物を導入し不純物 Profile を形成する。次に、LDD 領域、ソース/ドレイン領域 (高濃度拡散層) を活性化させるための熱処理 2 を施す。従って、ゲート電極の仕事関数の熱プロセスによる変動を抑えて、しきい値電圧 V_{th} のバラツキの小さい素子を形成できる。



【特許請求の範囲】

【請求項1】 ゲート電極に不純物を導入した後でLDDもしくは高濃度拡散層を形成する前に、このLDDもしくは高濃度拡散層の活性化温度よりも高温もしくは高温且つ長時間の熱処理を該ゲート電極に行うことを特徴とする半導体装置の製造方法。

【請求項2】 上記半導体装置がチャネルが均一にドーピングされたSOI型の半導体装置であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記ゲート電極の少なくとも一部はBがドーピングされたp⁺ゲートであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 ゲート電極に不純物を導入した後、この後の工程における拡散層の不純物を活性化するための熱処理温度よりも高温もしくは高温且つ長時間の熱処理を該ゲート電極に施す工程と、しきい値電圧の調整のためのイオン注入、パンチスルー抑制のためのイオン注入を行う工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項5】 上記ゲート電極がBulk Si基板もしくはSOI基板の上に形成されていることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に、B（ボロン）がドーピングされたp⁺ゲート電極の特性変動を抑えて、その特性が均一化された半導体装置の製造方法に関する。

【0002】

【従来の技術】 SOI (Silicon on Insulator) 構造を用いることによって素子間同士の完全分離が容易になること、ソフトエラーやCMOS Trに特有なラッチアップの抑制が可能になることが知られている。また、Si活性層の厚さが500nm程度のSOI構造を用いてCMOS Tr LSIの高速・高信頼性化を図ることについての検討が比較的早くから行われてきた。

【0003】 最近では、SOI表面のSi層をさらに100nm程度にまで薄くし、チャネルの不純物濃度も比較的低い状態に制御して、ほぼSi活性層全体が空乏化するような条件にすると、短チャネル効果の抑制やMOS Trの電流駆動能力の向上などのさらに優れた性能が得られることがわかってきた。

【0004】 このSOI層の形成方法として近年は、SIMOX (Separation by Implanted Oxygen) 法とウエハー張り合わせ法の代表的な2つの方法の完成度が上がりつつあり、注目を浴びている。

【0005】 ところが、この完全空乏型のSOI Trをエンハンスメント・モード (Normally Off) で作製するために、N-MOSの表面ゲート電極にp⁺ Poly Siもしくはこれを用いたW-Polycide等のゲート電極を用

いると、このゲート電極の活性化のための熱処理温度の変動によってその仕事関数が変化してしまい、結果的にトランジスタのしきい値電圧V_{th}が変動してしまうという問題がある。

【0006】 このp⁺ Poly Si ゲートの仕事関数が熱処理温度や熱処理時間に応じて変化する理由としては、以下に列挙するようなものが考えられる。

(1) Poly Si 中のBの活性化率の温度による変動

(2) Poly Si のGrain sizeの温度による成長の度合いの変化

(3) Poly Si / SiO₂ 界面へのBの析出度合いの温度による変動

【0007】 つまり、Poly Si のGrain sizeやPoly Si中のB濃度や活性化率の温度による変動によって、Metal電極としてのp⁺ Poly Siの仕事関数が変化することになり、結果的にTrのV_{th}を変動させてしまう。

【0008】 図22(a)は、従来の半導体装置を示す断面図であり、図22(b)は、図22(a)に示す半導体装置におけるBをドーピングした後のゲート電極及びその近傍部分(Aの領域)を示す拡大断面図であり、図22(c)は、図22(b)に示すゲート電極に後の熱処理工程を施した後のゲート電極及びその近傍部分を示す拡大断面図である。

【0009】 図22(a)に示すように、シリコン基板101の表面にはLOCOS酸化膜103が設けられ、シリコン基板101の表面上にはゲート酸化膜を介してPolySiのゲート電極105が設けられる。この後、このゲート電極105にはBがドーピングされる。この時のゲート電極105は図22(b)に示すような状態になっている。

【0010】 次に、図示せぬLDD領域、ソース/ドレイン領域には不純物の導入が行われる。この後、ゲート電極105、LDD領域、ソース/ドレイン領域熱を活性化させるための熱処理(図1(a)に示す従来例の熱処理2に相当)が施される。この時のゲート電極105は、図22(c)に示すように、熱処理の前に比べてPoly Si Grainの成長109、Bの析出111、Bの活性化113が起こっており、これらの度合いは熱処理温度によって変化するものである。次に、ゲート電極105及びシリコン基板101の上には層間絶縁膜107が堆積される。

【0011】

【発明が解決しようとする課題】 ところで、上述した従来の半導体装置の製造方法におけるゲート電極105等の活性化のための具体的な熱処理温度や熱処理時間は、p⁺ Poly Siのゲート電極形成後のプロセス・ステップに応じてそれぞれ異なるものである。このため、例えば半導体装置の種類によって異なる温度や時間の熱処理が施されることとなり、その結果、半導体装置の種類によって出来上がりのp⁺ Poly Siのゲート電極の仕事関数

が異なることになる。したがって、ゲート電極の仕事関数を均一化するには、各デバイス、プロセス毎に熱処理条件等の確認が必要となってしまう。

【0012】一方、微細化に伴ってRTA (Rapid Thermal Anneal) のような高温・短時間の熱処理が用いられるようになるが、このRTAは現状ではハロゲンランプによる加熱により行われているので、ランプ形状を反映した不均一な加熱処理となってしまう。その結果、実効的な熱処理温度がWafer面内でバラツキ、特に熱処理温度の低温化（不純物の活性化率が低下するため、出来上がりのシート抵抗のバラツキが増大する）やWaferの大口径化により、ますます出来上がりのp⁺ Poly Si のゲート電極の仕事関数の不均一性が増大している。

【0013】その結果、このゲート電極の仕事関数の変動に対応してこれを用いたSOITrのV_{th}が面内で変動することになり、将来の低電圧化、低消費電力化のための半導体装置作製上の大きな問題点となりつつある。

【0014】尚、このようなp⁺ Poly Si をゲート電極に用いた場合の問題点は、短チャネル効果を抑制するために次世代以降のBulk Si デバイスに採用すべく検討が行われている、表面チャネル型のP-MOSTrにおいても同様に生じる。そして、特に面内の実効的な温度分布がRTAプロセスの採用やWaferの大口径化に伴い増大しつつあるので、将来的には大きな問題となる可能性があるのはSOITrの場合と同様である。

【0015】この発明は上記のような事情を考慮してなされたものであり、その目的は、出来上がりのゲート電極の仕事関数の熱プロセスによる変動を抑えて、しきい値電圧V_{th}のバラツキの小さい素子を形成できる半導体装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】この発明の第1態様に係る半導体装置の製造方法は、上記課題を解決するため、ゲート電極に不純物を導入した後でLDDもしくは高濃度拡散層を形成する前に、このLDDもしくは高濃度拡散層の活性化温度よりも高温もしくは高温且つ長時間の熱処理を該ゲート電極に行うことを特徴とする。

【0017】第1態様に係る半導体装置の製造方法では、ゲート電極に不純物を導入した後でLDDもしくは高濃度拡散層を形成する前に、該ゲート電極に熱処理を行っているため、LDDもしくは高濃度拡散層の活性化温度よりも高温もしくは高温且つ長時間の熱処理、つまりゲート電極の活性化のために充分な高温で長時間の熱処理を行うことが可能となる。この結果、その後の熱プロセス、例えばLDD領域等の活性化のための熱処理等の影響を受けにくくなり、安定した仕事関数のゲート電極を形成することができ、V_{th}バラツキの小さい素子を形成することができる。換言すれば、LDD領域やソース／ドレイン領域は一般にデバイスの微細化につれて、

そのProfileを崩さないようにするために短時間のRTA処理が行われるようになるが、上述したように熱処理を行うことにより、LDD領域やソース／ドレイン領域の拡散層のProfileを崩さないようにするという規制が無くなるので、比較的長時間、高温の熱処理を行うことが可能となる。

【0018】また、上記半導体装置がチャネルが均一にドーパされたSOI型の半導体装置であることが好ましい。また、上記ゲート電極の少なくとも一部はBがドーパされたp⁺ ゲートであることが好ましい。

【0019】また、この発明の第2態様に係る半導体装置の製造方法は、ゲート電極に不純物を導入した後、この後の工程における拡散層の不純物を活性化するための熱処理温度より高温もしくは高温且つ長時間の熱処理を該ゲート電極に施す工程と、しきい値電圧の調整のためのイオン注入、パンチスルー抑制のためのイオン注入を行う工程と、を具備することを特徴とする半導体装置の製造方法。

【0020】第2態様に係る半導体装置の製造方法では、ゲート電極に熱処理を施した後の熱プロセス、例えばLDD領域等の活性化のための熱処理等の影響を受けにくくなり、安定した仕事関数のゲート電極を形成することができ、V_{th}バラツキの小さい素子を形成することができる。

【0021】

【発明の実施の形態及び実施例】図1(a)は、本発明の第1の実施の形態によるチャネルが均一にドーパされたSOITrの作製工程とこれに対応する従来のチャネルが均一にドーパされたSOITrの作製工程とを示すフローチャートである。

【0022】図1(a)に示すように、ゲート電極を形成し、このゲート電極に不純物を導入する。次に、LDDやソース／ドレイン（高濃度拡散層）の活性化温度よりも高温もしくは高温且つ長時間にてゲート電極の活性化のための熱処理1を施す。この後、LDD領域、ソース／ドレイン領域（高濃度拡散層）に不純物を導入し不純物Profileを形成する。次に、LDD領域、ソース／ドレイン領域（高濃度拡散層）を活性化させるための熱処理2を施す。

【0023】図1(b)は、本発明の第2の実施の形態によるチャネルが不均一にドーパされたBulk Si 基板に形成された素子（もしくは部分空乏型のSOITr）の作製工程とこれに対応する従来のチャネルが不均一にドーパされたBulk Si 基板に形成された素子の作製工程とを示すフローチャートである。

【0024】図1(b)に示すように、ゲート電極を形成し、このゲート電極に不純物を導入する。次に、ゲート電極の活性化のための熱処理1を施す。この熱処理1はLDDやソース／ドレイン（高濃度拡散層）の活性化温度よりも高温もしくは高温且つ長時間である。この

後、 V_{th} インプラ、Deepインプラ等のゲート直下への不純物導入を行う。次に、LDD領域、ソース/ドレイン領域(高濃度拡散層)に不純物を導入し不純物Profileを形成する。この後、LDD領域、ソース/ドレイン領域、その他の不純物導入層を活性化させるための熱処理2を施す。

【0025】以下、図面を参照してこの発明の実施例を説明する。図2～図11は、この発明の第1の実施例による半導体装置の製造方法を示す断面図である。第1の実施例は、本発明の第1の実施の形態に対応する実施例であり、チャンネルが均一にドーパされたSOI型のデバイスに対して本発明を適用した場合の実施例である。

【0026】先ず、図2に示すように、既に素子分離が行われたSOI基板10を準備する。このSOI基板10は例えば張り合わせとストッパー(Stopper)を用いた選択研磨により作製されたものである。

【0027】すなわち、シリコン基板(A基板)の表面上にはSOI活性領域上に位置する図示せぬフォトレジスト膜が形成され、このフォトレジスト膜をマスクとしてA基板がRIE(Reactive Ion Etching)によりエッチングされる。その結果、A基板にはストッパーとなる段差が形成される。次に、フォトレジスト膜が除去される。この後、A基板及びその段差の上には層間絶縁膜(SiO₂膜)3が堆積され、この層間絶縁膜3の上には図示せぬポリシリコン膜が堆積される。次に、このポリシリコン膜には平坦化するすため研磨が行われ、この平坦化されたポリシリコン膜の表面にシリコン基板(B基板)1が張り合わされる。この後、張り合わせ部分の結合力を高めるために、張り合わされた基板に熱処理が施される。次に、層間絶縁膜3をストッパーとして、A

基板を裏面側から選択研磨することにより、SOI層5を有する半導体基板(SOI基板10)が作製される。

【0028】この後、図3に示すように、SOI基板10におけるSOI層5上にゲート酸化膜7を成長させ、このゲート酸化膜7の上には厚さが～150nm程度のゲート電極となるPoly Si膜9が堆積される。

【0029】次に、図4に示すように、このPoly Si膜9の上にはフォトレジスト膜11が設けられ、このフォトレジスト膜11をマスクとして例えばBF₂⁺をイオン注入することにより、Poly Si膜(ゲート電極)9にBがドーパされる。尚、完全空乏型でエンハンスメントモードのC-MOS SOITrを作製する場合においては、N-MOSTrにp⁺ゲート、P-MOSTrにn⁺ゲートをそれぞれ採用する必要があるため、ゲートへのイオンの注入はレジストマスクによって打ち分けられる。

【0030】この後、図5に示すように、フォトレジスト膜11が除去され、Poly Si膜9の上には厚さが～150nm程度のSiO₂膜13が堆積される。このSiO₂膜13はソース/ドレイン領域にイオンを注入する際

にそのイオンがゲート電極に注入されないようにするためのもの、即ちStopper(Off Set)である。

【0031】次に、Poly Si膜(ゲート電極)9には、例えば温度が1000℃で60分間、N₂雰囲気中で電気炉により熱処理(図1(a)に示す本発明の熱処理1に相当)が施される。

【0032】この後、図6に示すように、SiO₂膜13の上にはゲート電極のレジスト・パターンを有するフォトレジスト膜15が形成される。

【0033】次に、図7に示すように、このレジスト膜15をマスクとしてSiO₂膜13がRIE(Reactive Ion Etching)によりエッチング加工される。この後、フォトレジスト膜15が除去される。

【0034】この後、図8に示すように、SiO₂膜13をマスクとしてPoly Si膜9がエッチング加工される。これにより、SOI層5の上にはゲート酸化膜7を介してゲート電極9が形成される。次に、図示せぬLDD領域に不純物の導入が行われる。この際、N-MOS、P-MOSそれぞれのLDD領域に対して導入する不純物の導電型をレジストマスクでそれぞれ打ち分ける必要がある。

【0035】次に、図9に示すように、SiO₂膜13及びその他全面にはSiO₂膜が堆積され、このSiO₂膜をエッチバックすることによりゲート電極9の側壁にはSiO₂からなるLDD Spacer(SiO₂ Side Wall Spacer)17が形成される。

【0036】この後、チャネリング防止用の薄い酸化膜を堆積した後、図10に示すように、層間絶縁膜3の上にはフォトレジスト膜19が設けられる。次に、このレジスト膜19をマスクとしてSOI層5のソース/ドレイン領域には不純物の導入、例えばAs⁺のイオン注入が行われる。この際、N-MOS、P-MOSそれぞれのソース/ドレイン領域に対して導入する不純物の導電型をレジストマスクでそれぞれ打ち分ける必要がある。

【0037】次に、フォトレジスト膜19を除去した後、LDD領域の拡散層、ソース/ドレイン領域の拡散層を活性化させるために、例えば温度が1000℃、10秒間で、Ar雰囲気中のRTA処理により熱処理(図1(a)に示す本発明の熱処理2に相当)が施される。

【0038】この後、図11に示すように、通常のプロセスにて、SiO₂膜13、Sideall Spacer 17およびSOI層5の上には層間絶縁膜21が堆積される。次に、この層間絶縁膜21にはコンタクトホール21aが設けられ、このコンタクトホール21a内はメタル23により穴埋めされ、このメタル23の上には配線25が形成され、素子を完成させる。

【0039】上記第1の実施例によれば、Poly Si膜(ゲート電極)9にBをドーパした後に、Poly Si膜(ゲート電極)9にゲート電極の活性化のための熱処理1(LDD領域やソース/ドレイン領域の活性化温度よ

り高温もしくは高温且つ長時間の熱処理)を施し、この後、LDD領域やソース/ドレイン領域等に不純物を導入し、LDD領域、ソース/ドレイン領域の活性化のための熱処理2を施している。したがって、従来のようにLDD領域やソース/ドレイン領域等に不純物を導入した後にゲート電極の活性化のための熱処理を施すのではなく、LDD領域やソース/ドレイン領域等に不純物を導入する前にゲート電極の活性化のための熱処理を施しているため、ゲート電極の活性化のために充分な高温で長時間の電気炉による熱処理を行うことができる。この結果、その後の熱プロセス(LDD領域等の活性化のための熱処理等)の影響を受けにくくなり、安定した仕事関数の p^+ Poly Si のゲート電極9を形成することができ、 V_{th} バラツキの小さい素子を形成することができる。

【0040】換言すれば、LDD領域やソース/ドレイン領域は一般にデバイスの微細化につれて、そのProfileを崩さないようにするために短時間のRTA処理が行われるようになるが、上述したようにゲート電極9を形成した後LDD領域やソース/ドレイン領域の拡散層を形成する前にゲート電極の活性化のための熱処理を行うことにより、LDD領域やソース/ドレイン領域の拡散層のProfileを崩さないようにするという規制が無くなるので、比較的長時間の電気炉による熱処理を行うことが可能となる。つまり、ゲート電極(Poly Si 膜)9を形成した直後はSOI基板10に意図された不純物のProfileが形成されていないので、このゲート電極の活性化のための熱処理温度の上限は特に低く設定しなくても良い。

【0041】また、LDD領域やソース/ドレイン領域の拡散層を形成する前にLDD領域やソース/ドレイン領域の活性化温度より高温でゲート電極の活性化のための熱処理を行うため、LDD領域やソース/ドレイン領域の拡散層の不純物Profile等への影響が無い。

【0042】図12～図21は、この発明の第2の実施例による半導体装置の製造方法を示す断面図である。第2の実施例は、本発明の第2の実施の形態に対応する実施例であり、Bulk Si 基板に形成された素子の作製に対して本発明を適用した場合の実施例である。この場合、比較的Profileの制御の厳密さを必要としない不純物導入、例えば素子分離のためのWell形成やチャンネルStopのための不純物導入は、ゲート電極に対して行う熱処理の前に不純物が導入されていても良い。一方、Profileの厳密な制御を必要とする不純物導入、具体的にはしきい値電圧 V_{th} の調整のための不純物導入やパンチスルー抑制のための不純物導入は、ゲート電極に対して行う熱処理の後に不純物の導入を行う必要がある。

【0043】先ず、図12に示すように、シリコン基板31にはLOCOS酸化膜33および図示せぬWell等が形成され、それにより素子分離が行われる。

【0044】次に、図13に示すように、シリコン基板31の表面にはゲート酸化膜35が形成され、このゲート酸化膜35の上には厚さが $\sim 150\text{nm}$ 程度のゲート電極となるPoly Si 膜37が堆積される。

【0045】この後、図14に示すように、このPoly Si 膜37の上にはP-MOS部を開口したフォトリソ膜41が設けられ、このフォトリソ膜41をマスクとして例えば BF_3^- をイオン注入することにより、Poly Si 膜(ゲート電極)37にBがドーピングされる。尚、Bulk Si に表面チャネル型のC-MOSTrを作製する場合においては、N-MOSTrに n^+ Poly Si、P-MOSTrに p^+ Poly Si をそれぞれ採用する必要があるため、ゲートへのイオンの注入はレジストマスクによって打ち分けられる。

【0046】この後、図15に示すように、フォトリソ膜41が除去され、Poly Si 膜9の上には厚さが $\sim 150\text{nm}$ 程度の SiO_2 膜43が堆積される。この SiO_2 膜43は、ソース/ドレイン領域にイオンを注入する際にそのイオンがゲート電極に注入されないようにするためのもの、即ちStopper(OffSet)である。

【0047】この後、図16に示すように、 SiO_2 膜43の上にはゲート電極のレジスト・パターンを有するフォトリソ膜45が形成される。

【0048】次に、図17に示すように、このレジスト膜45をマスクとして SiO_2 膜(Stopper)43がRIEによりエッチング加工される。この後、フォトリソ膜45が除去される。

【0049】この後、図18に示すように、 SiO_2 膜43をマスクとしてPoly Si 膜37がエッチング加工される。これにより、シリコン基板31の上にはゲート酸化膜35を介してゲート電極37が形成される。

【0050】次に、ゲート電極37には、例えば温度が 950°C で60分間、 N_2 雰囲気中で電気炉により熱処理(図1(b)に示す本発明の熱処理1に相当)が施される。

【0051】この後、図示せぬLDD領域へのイオン注入および V_{th} 調整のためのイオン注入、パンチスルー抑制のためのイオン注入がゲート電極37を通して行われる。この際、N-MOS、P-MOSそれぞれに対して導入する不純物の導電型をレジストマスクでそれぞれ打ち分ける必要がある。

【0052】次に、図19に示すように、 SiO_2 膜43及びその他全面には SiO_2 膜が堆積され、この SiO_2 膜をエッチバックすることによりゲート電極37の側壁にはLDD Spacer SiO_2 (Side Wall Spacer) 47が形成される。

【0053】この後、チャネリング防止用の薄い酸化膜を堆積した後、図20に示すように、LOCOS酸化膜33の上にはフォトリソ膜49が設けられる。次に、このレジスト膜49をマスクとしてシリコン基板3

1のソース／ドレイン領域には不純物の導入、例えばBF₂⁺のイオン注入が行われる。この際、N-MOS、P-MOSそれぞれのソース／ドレイン領域に対して導入する不純物の導電型をレジストマスクでそれぞれ打ち分ける必要がある。

【0054】次に、フォトリソ膜49を除去した後、LDD領域の拡散層、ソース／ドレイン領域の拡散層、その他の不純物導入層を活性化させるために、例えば温度が950℃、10秒間で、Ar雰囲気中のRTA処理により熱処理（図1（b）に示す本発明の熱処理2に相当）が施される。

【0055】この後、図21に示すように、通常のプロセスにて、SiO₂膜43、Sideall Spacer 47およびシリコン基板31の上には層間絶縁膜51が堆積される。次に、この層間絶縁膜51にはコンタクトホール51aが設けられ、このコンタクトホール51a内はメタル53により穴埋めされ、このメタル53の上には配線55が形成され、素子を完成させる。

【0056】上記第2の実施例においても第1の実施例と同様の効果を得ることができる。

【0057】Bulk Si基板上に形成された素子（もしくは、部分空乏型のSOITr）のようにゲート電極形成時に既に基板中に不純物Profileが形成されている場合は、この不純物Profileをあまり変化させない熱処理条件を選ぶ必要がある。しかし、上記第2の実施例では、ゲート電極37直下のV_{th}調整のためのイオン注入等をこのゲート電極の活性化のための熱処理の後で行うため、この熱処理を比較的高温の電気炉アニールにて行うことも可能である。

【0058】特に、表面チャネル型のデバイスの場合、LDD領域やソース／ドレイン領域の拡散層を形成する前にゲート電極37の活性化のための熱処理を行うことにより、結果的にゲート電極（p⁺ Poly Si）37中のBの活性化率を向上させることになり、ゲート電極の空乏化等は発生しにくくなり、デバイス特性の劣化も生じにくくなる。

【0059】尚、上記第1及び第2の実施例では、ゲート電極9、37としてPoly Si 単層を用いているが、ゲート電極9、37としてWSix膜とPoly Si との2層構造のPolycideを用いることも可能である。

【0060】また、SOITrの場合はN-MOS、Bulk Trの場合はP-MOSについて説明しており、p⁺ Poly Si からなるゲート電極9、37を用いているが、材料としてはp⁺ Poly Si に限られず、多結晶の材料もしくは不純物がドーパされた材料からなるゲート電極を用いれば、上記実施例と同様の効果を得ることができる。このような材料としては、例えばAsもしくはPhosがドーパされたn⁺ Poly Si 又はn⁺ Polycide、WSixのようなメタルシリサイド単層、Wのようなメタル単層、TiNのようなメタルナイトライド、及びこれ

らの組合せによる多層膜等が挙げられる。このようなメタルシリサイド又はメタル単層のゲート電極を用いる場合は、RTA処理等で面内の実質的な温度分布が向上し、Grainの成長が異なることによる特性分布が増大するのを抑制するために例えば温度の均一性に優れた電気炉による熱処理等を用いることも可能である。また、Dual Gate 電極のようにp⁺ Poly Si 以外の種類のゲート電極を用いた場合でも、このゲート電極の不純物の活性化率を向上させることができるので、V_{th}の面内バラツキを抑制することが可能となる。

【0061】また、Poly Si 膜（ゲート電極）9、37に熱処理を施す際の熱処理条件はいずれも一例であって、これに限定されるものではなく、各素子に応じて熱処理条件を適宜変更することも可能である。

【0062】

【発明の効果】以上説明したようにこの発明によれば、ゲート電極に不純物を導入した後でLDDもしくは高濃度拡散層を形成する前に、このLDDもしくは高濃度拡散層の活性化温度よりも高温もしくは高温且つ長時間の熱処理を該ゲート電極に行う。したがって、出来上がりのゲート電極の仕事関数の熱プロセスによる変動を抑えて、しきい値電圧V_{th}のバラツキの小さい素子を形成できる。

【図面の簡単な説明】

【図1】図1（a）は、本発明の第1の実施の形態による半導体装置の製造方法を示すフローチャートとこれに対応する従来の半導体装置の製造方法を示すフローチャートとを示す図であり、図1（b）は、本発明の第2の実施の形態による半導体装置の製造方法を示すフローチャートとこれに対応する従来の半導体装置の製造方法を示すフローチャートとを示す図である。

【図2】この発明の第1の実施例による半導体装置の製造方法を示す断面図である。

【図3】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図2の次の工程を示す断面図である。

【図4】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図3の次の工程を示す断面図である。

【図5】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図4の次の工程を示す断面図である。

【図6】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図5の次の工程を示す断面図である。

【図7】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図6の次の工程を示す断面図である。

【図8】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図7の次の工程を示す断面図

である。

【図9】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図8の次の工程を示す断面図である。

【図10】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図9の次の工程を示す断面図である。

【図11】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図10の次の工程を示す断面図である。

【図12】この発明の第2の実施例による半導体装置の製造方法を示す断面図である。

【図13】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図12の次の工程を示す断面図である。

【図14】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図13の次の工程を示す断面図である。

【図15】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図14の次の工程を示す断面図である。

【図16】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図15の次の工程を示す断面図である。

【図17】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図16の次の工程を示す断面図である。

【図18】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図17の次の工程を示す断面図である。

【図19】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図18の次の工程を示す断

面図である。

【図20】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図19の次の工程を示す断面図である。

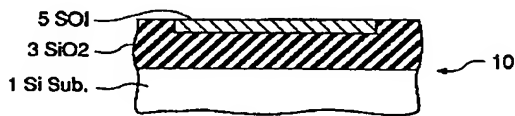
【図21】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図20の次の工程を示す断面図である。

【図22】図22(a)は、従来の半導体装置を示す断面図であり、図22(b)は、図22(a)に示す半導体装置におけるBをドーピングした後のゲート電極及びその近傍部分(Aの領域)を示す拡大断面図であり、図22(c)は、図22(b)に示すゲート電極に後の熱処理工程を施した後のゲート電極及びその近傍部分を示す拡大断面図である。

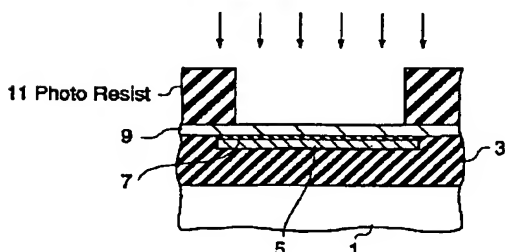
【符号の説明】

1…シリコン基板(B基板)、3…層間絶縁膜(SiO₂膜)、5…SOI層、7…ゲート酸化膜、9…Poly Si膜、10…SOI基板、11…フォトリソスト膜、13…SiO₂膜、15…フォトリソスト膜、17…LDD Spacer(SiO₂ Side Wall Spacer)、19…フォトリソスト膜、21…層間絶縁膜、21a…コンタクトホール、23…メタル、25…配線、31…シリコン基板、33…LOCOS酸化膜、35…ゲート酸化膜、37…Poly Si膜(ゲート電極)、41…フォトリソスト膜、43…SiO₂膜(Stopper)、45…フォトリソスト膜、47…LDD Spacer SiO₂(Side Wall Spacer)、49…フォトリソスト膜、51…層間絶縁膜、51a…コンタクトホール、53…メタル、55…配線、101…シリコン基板、103…LOCOS酸化膜、105…ゲート電極、107…層間絶縁膜、109…Poly Si Grainの成長、111…Bの析出、113…Bの活性化。

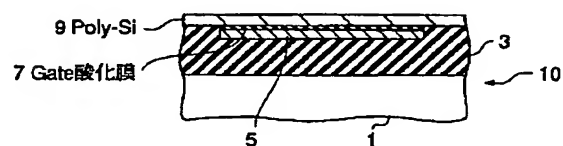
【図2】



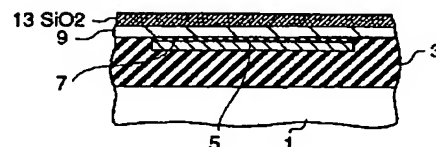
【図4】



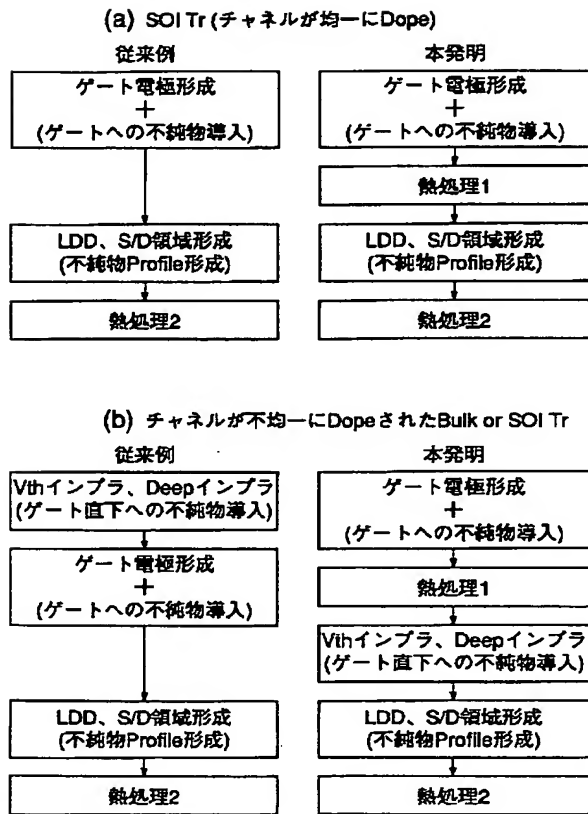
【図3】



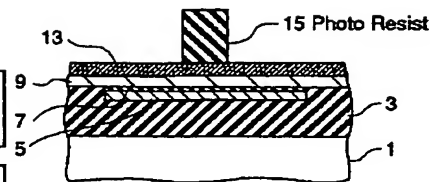
【図5】



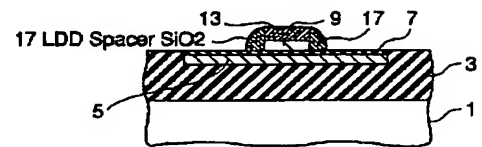
【図1】



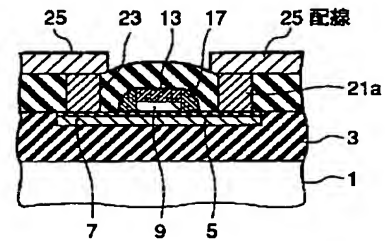
【図6】



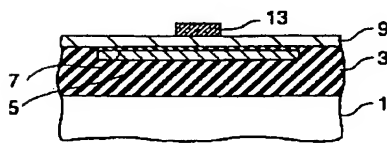
【図9】



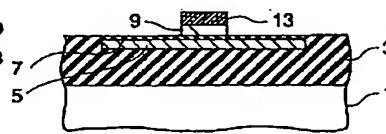
【図11】



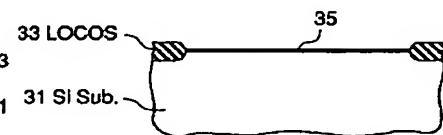
【図7】



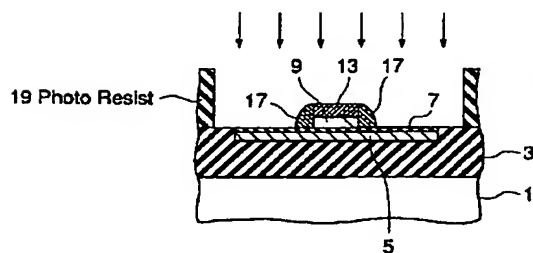
【図8】



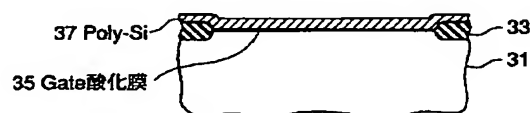
【図12】



【図10】



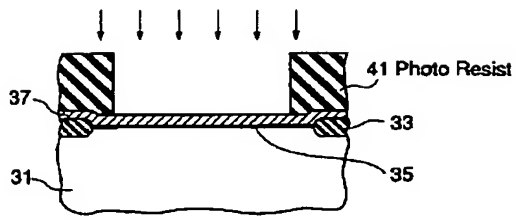
【図13】



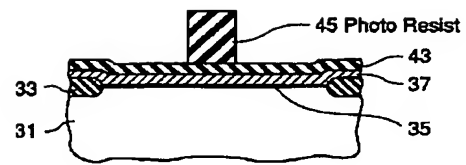
【図15】



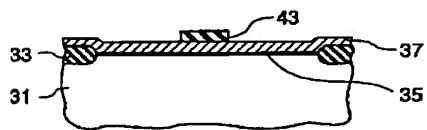
【図14】



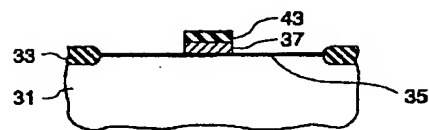
【図16】



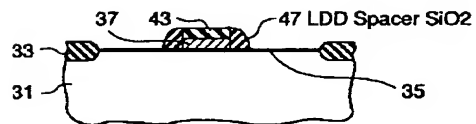
【図17】



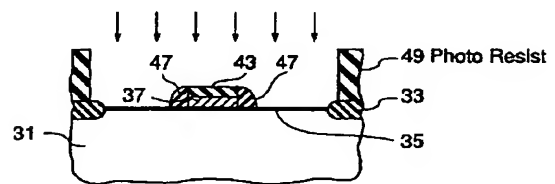
【図18】



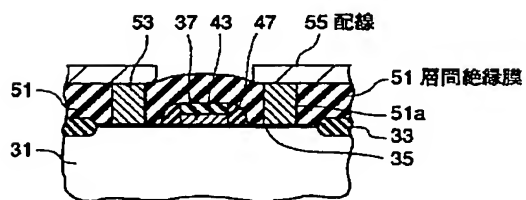
【図19】



【図20】



【図21】



【図22】

